

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-029187

(43)Date of publication of application : 07.02.1991

(51)Int.Cl.

G11C 11/41

(21)Application number : 01-164236

(71)Applicant : NEC CORP

(22)Date of filing : 26.06.1989

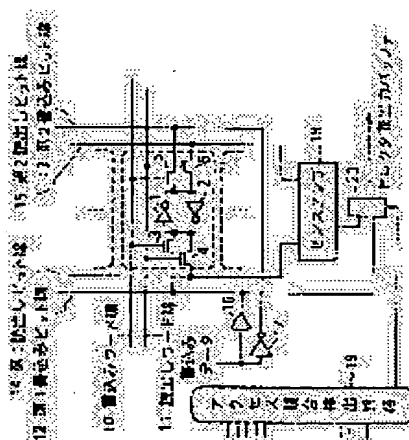
(72)Inventor : YAMASHINA MASAKATSU

(54) MULTIPORT SRAM

(57)Abstract:

PURPOSE: To rapidly read out data written at the time of access competition by allowing a selector to select and output one of the outputs of a sense amplifier and the 1st writing amplifier based upon the detecting signal of an access competition detecting circuit to the same address for reading and writing.

CONSTITUTION: The sense amplifier 18 inputs the 1st and 2nd reading bit lines 14, 15 and differentially amplifies their potential difference and the access competition detecting circuit 19 outputs a signal indicating that the writing and reading addresses are the same and writing and reading compete with each other. In the case of normal reading, the output of the sense amplifier 18 is selected and outputted by a selector 20 based upon the output of the circuit 19. When writing and reading are simultaneously generated at the same address, the output of the circuit is inverted and the output of the 1st writing amplifier 16 is selected and outputted by the selector 20. Consequently, rapid reading can be attained even at the time of access competition.



ST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平3-29187

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月7日

G 11 C 11/41

8323-5B G 11 C 11/34

K

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 マルチポートSRAM

⑮ 特 願 平1-164236

⑯ 出 願 平1(1989)6月26日

⑰ 発 明 者 山 品 正 勝 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 マルチポートSRAM

特許請求の範囲

互いの入力と出力を接続した第1インバータと、
第2インバータからなるメモリセルと、

前記第1インバータの入力と第1書き込みビット線
を接続する第1書き込みFETと、

前記第2インバータの入力と第2書き込みビット線
を接続する第2書き込みFETと、

前記第1、第2書き込みFETのゲートに接続された
書き込みワード線と、

前記第1インバータの入力と第1読出しビット線
を接続する第1読出しFETと、

前記第2インバータの入力と第2読出しビット線
を接続する第2読出しFETと、

前記第1、第2読出しFETのゲートに接続された
読出しワード線と、

書き込みデータを前記第1書き込みビット線に出力す
るための第1書き込みアンプと、

書き込みデータの反転結果を前記第2書き込みビット
線に出力するための第2書き込みアンプと、

前記の第1、第2読出しビット線の電位差を検出
し、差動増幅するセンスアンプと、

読出しと書き込みが同一アドレスに対して行われ
ることを検出するアクセス競合検出回路と、

前記アクセス競合検出回路の検出信号にした
がって、前記センスアンプの出力と、前記第1書き
込みアンプの出力の一方を選択出力するセレクタ

からなることを特徴とするマルチポート
SRAM。

発明の詳細な説明

(産業上の利用分野)

本発明は、同一アドレスに対する読出し・書き込み
が可能なマルチポートSRAM、特に読出し・書き込み
の競合(アクセス競合)が生じた場合でも、アクセス
時間の増大を引き起こすことなく、書き込んだ値が
即時読出されるマルチポートSRAMに関する。この

種のマルチポートSRAMは、キャッシュメモリや、CPUのレジスタとして利用分野が有望である。

(従来の技術)

従来のマルチポートSRAM(第2図)は、アクセスの競合が起こった場合、読出し用ビット線にはまずメモリセルの内容が読みだされ、引き続いて書き込みアンプの出力が伝達されるので、読出し時間が増大する。従ってアクセスの競合を許さないか、もしくは書き込みを行う前までメモリセルに書き込まれていたデータが読みだされることにしていた。

(発明が解決しようとする課題)

複数の経路から同時にアクセスされるメモリは、マルチポートのメモリが用いられるが、同一のアドレスに対して書き込み・読出しが競合した場合、書き込んだデータが同時に読みだされるようにした方が、高速であるだけでなく、フロー制御が簡単になるなど有利な点が多い。ところが、以上述べたように従来は、メモリセルの内容と書き込み

データが異なる場合には、読出しに要する時間が長くなる。

本発明の目的は、アクセス時間の増大を引き起こすことなく、アクセス競合時に書き込んだデータが高速に読出されるマルチポートSRAMを提供することにある。

(課題を解決するための手段)

本発明は、

互いの入力と出力を接続した第1インバータと、第2インバータからなるメモリセルと、

前記第1インバータの入力と第1書き込みビット線を接続する第1書き込みFETと、

前記第2インバータの入力と第2書き込みビット線を接続する第2書き込みFETと、

前記第1、第2書き込みFETのゲートに接続された書き込みワード線と、

前記第1インバータの入力と第1読出しビット線を接続する第1読出しFETと、

前記第2インバータの入力と第2読出しビット線を接続する第2読出しFETと、

前記第1、第2読出しFETのゲートに接続された読出しワード線と、

書き込みデータを前記第1書き込みビット線に出力するための第1書き込みアンプと、

書き込みデータの反転結果を前記第2書き込みビット線に出力するための第2書き込みアンプと、

前記の第1、第2読出しビット線の電位差を検出し、差動増幅するセンスアンプと、

読出しと書き込み同一アドレスに対して行われることを検出するアクセス競合検出回路と、

前記アクセス競合検出回路の検出信号にしたがって、前記センスアンプの出力と、前記第1書き込みアンプの出力の一方を選択出力するセレクト

からなることを特徴とするマルチポートSRAMである。

(作用)

通常読出し時は、アクセス競合検出回路の出力によって、センスアンプの出力がセレクトによって選択出力される。同一アドレスに対して、書き込み・読出しが同時に発生した場合、アクセス競合検

出回路の出力が反転し、書き込み用のアンプの出力がセレクトによって選択出力され、アクセス競合時も高速な読出しが可能となる。

(実施例)

次に図面を参照して本発明の実施例について説明する。

第1図は、本発明の2ポートSRAMの実施例を示す。

1、2が互いの出力を入力とする第1のインバータと第2のインバータである。

第1インバータ1の入力と第2インバータ2の入力は、各々反転した電位になっており、双安定状態にある。この状態は、各インバータの入力を反転した電位にするような力が外部から働くまで継続され、静的なメモリセルとして働く。

FET3~6は情報の書き込み、読出しを制御するFETであり、第1書き込みFET3は第1インバータ1の入力と第1書き込みビット線12を接続し、書き込みワード線10をゲートの入力とする。

第1読出しFET4は第1インバータ1の入力と第1読出しビット線14を接続し、読出しワード線11をゲートの入力とする。

第2書き込みFET5は第2インバータ2の入力と第2書き込みビット線13を接続し、書き込みワード線10をゲートの入力とする。

第2読出しFET6は第2インバータ2の入力と第2読出しビット線15を接続し、前記読出しワード線11をゲートの入力とする。

第1書き込みアンプ16は書き込みデータを前記第1書き込みビット線12に出力する。

また第2アンプ17は書き込みデータの反転結果を前記第2書き込みビット線13に出力する。

センスアンプ18は第1読出しビット線14と第2読出しビット線15を入力とし、その電位差を差動増幅する。

アクセス競合検出回路19は書き込みアドレスと読出しアドレスが同一で、書き込みと読出しが競合していることを検出する信号を出力する。

線には書き込みビット線より大きな負荷が接続されていることで、電位が変化するには比較的時間がかる。しかし、センスアンプ18で第1読出しビット線14と第2読出しビット線15の微小な電位差を増幅することで、センスアンプの出力にはメモリセルのデータが読みだされる。

アクセス競合時には、書き込みワード線10と読出しワード線11がともに高電位になり、第1、2書き込みFET3、4、第1、第2読出しFET5、6が全て導通状態になる。従って、第1読出しビット線14には、先ずメモリセルの内容が読みだされ、引き続いて第1書き込みアンプ16の出力が読みだされる。このようなアクセス競合が起こる場合、アクセス競合検出回路19の出力に従ってセレクト20は第1書き込みアンプ16の出力を選択出力する。つまりメモリセルを介することなく、入力データをそのまま出力できるので、高速な読出しが可能となる。またアクセス競合が起こっていなければ、アクセス競合検出回路19の出力に従って、セレクト20はセンスア

セレクト兼出力バッファ20はアクセス競合検出回路19の出力に従って、センスアンプ18の出力と、第1書き込みビット線の信号の一方を選択出力する。

書き込み動作時には、第1書き込みアンプ16が第1書き込みビット線12を書き込みデータの電位に、第2書き込みアンプ17が第2書き込みビット線13を書き込みデータの反転電位にする。これと同時に、書き込みワード線10が高電位になり、第1書き込みFET3と第2書き込みFET5が導通状態になる。この時メモリセルの状態は、書き込みビット線の電位にしたがって変化し、書き込み動作が終了してもメモリセルの状態はそのまま保持され、書き込みが完了する。

読出し動作時には、読出しワード線11が高電位になり、第1読出しFET4、第2読出しFET5を導通状態にする。このとき、第1読出しビット線14の電位は、メモリセル内のデータ電位に変化し、第2読出しビット線15の電位もメモリセル内のデータの反転電位に変化する。第1インバータ1と第2インバータ2の駆動能力が小さいことと、読出しビット

ンプの出力を選択出力し、メモリセルの内容が読みだされる。

アクセス競合検出回路19は、書き込みアドレスnビットと読出しアドレスnビット、および各々のアドレスが有効であることを示す2ビットを入力とし、アドレスが競合しているかどうかの判定結果を出力する回路で、基本的には、n個の排他的論理積ゲート、1個の論理積ゲートと、それらn+1本の出力を1本に絞るための論理積木からなる。(発明の効果)

以上説明したように、従来のマルチポートメモリは、同一アドレスに対する書き込み・読出しが競合した(アクセス競合)時の読出しは、通常読出しと比較してアクセス時間が長かったり、書き込み前までメモリセルに書かれていた内容を出力して、書き込むデータと読出されるデータが異なったりした。本発明はアクセス競合時にも、通常読出し時と同等の(もしくはより短い)アクセス時間で読出しが行われるマルチポートSRAMを提供するという効果がある。

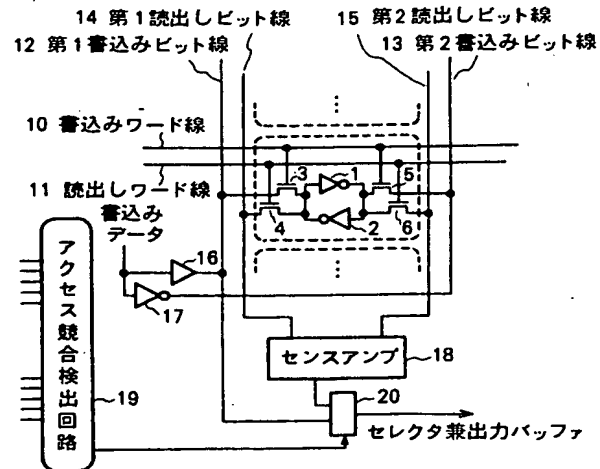
第 1 図

さらにアクセス競合検出回路は、基本的にはアドレスのビット数と等しい排他的論理積ゲートと、その出力を一本に絞るための論理積木から構成され、アドレスのビット数 n を8としたとき、アドレスデコーダの2%の面積を占め、メモリ全体の1%以下の極めて小さい面積で構成できる。また検出に要する時間はアドレスのデコードに隠され、アクセス時間に影響を与えない。

図面の簡単な説明

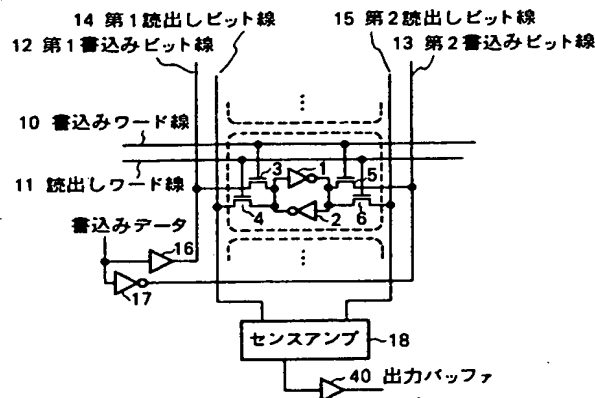
第1図は本発明の実施例を示した論理回路ブロック図、第2図は従来から用いられているマルチポートのSRAMの論理回路ブロック図である。

1、2…第1、第2インバータ、3、5…第1、第2書き込みFET、4、6…第1、第2読出しFET、10…書き込みワード線、11…読出しワード線、12、13…第1、第2書き込みビット線、14、15…第1、第2読出しビット線、16、17…第1、第2書き込みアンプ、18…センスアンプ、19…アクセス競合検出回路、20…セレクト兼出力バッファ



1, 2 … 第1、第2インバータ
3, 5 … 第1、第2書き込みFET
4, 6 … 第1、第2読出しFET
16, 17 … 第1、第2書き込みアンプ

第 2 図



1, 2 … 第1、第2インバータ
3, 5 … 第1、第2書き込みFET
4, 6 … 第1、第2読出しFET
16, 17 … 第1、第2書き込みアンプ

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.